

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-058280

(43)Date of publication of application : 03.03.1995

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

(21)Application number : 05-203524

(71)Applicant : FUJITSU LTD

(22)Date of filing : 18.08.1993

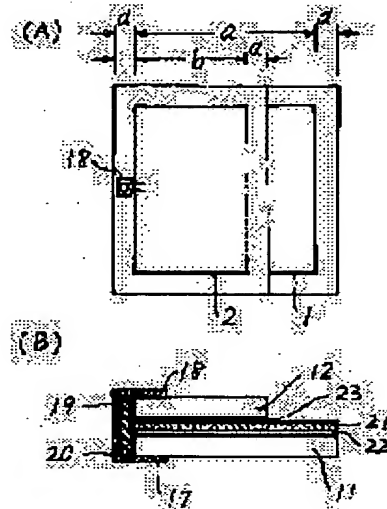
(72)Inventor : KITANI KAZUHIRO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To miniaturize a device and to prevent a noise trouble from being caused due to an interference between chips by a method wherein a chip size is reduced and the chips are connected easily and surely when the chips are overlapped.

CONSTITUTION: 1) A circuit is separated into individual chips, circuits are formed on the surface of the individual chips, the chips 11, 12 are overlapped on their rear, input/output terminals used to connect the circuits between the overlapped chips are connected by a connecting conductor 19 formed inside through holes made in the chips, and the input/output terminals are arranged in a mirror-image relationship between the overlapped chips. 2) A shielding conductive film 21 is provided between overlapped chips via insulating films 22, 23. 3) An insulating film 22 is provided between chips, the chip on one side is formed by using a p-type semiconductor substrate, the chip on the other side is formed by using an n-type semiconductor substrate, and any of the substrates is connected to a power-supply potential or a grounding potential.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-58280

(43) 公開日 平成7年(1995)3月3日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 25/065				
25/07				
25/18				
			H 0 1 L 25/ 08	Z
			審査請求	未請求 請求項の数4 O L (全 5 頁)

(21) 出願番号 特願平5-203524

(22) 出願日 平成5年(1993)8月18日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 木谷 和弘

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 井柝 貞一

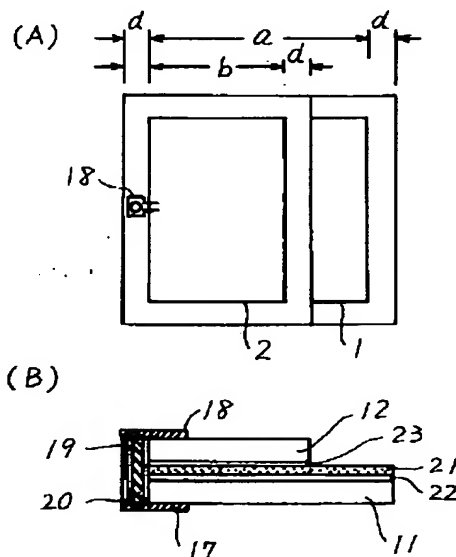
(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 複数チップ搭載の半導体装置に関し、チップサイズを低減し、チップを重ね合わせる際にチップ間接続を容易に且つ確実にしてデバイスの小型化と、チップ間の干渉によるノイズ障害発生を防止する。

【構成】 1) 回路が個々のチップに分離して各チップの表面に形成され、これらのチップ11, 12が裏面どうし重ねられ、重ね合わされたチップ相互間で回路間接続を行う入出力端子がチップに開けられたスルーホール内に形成された接続用導電体19で接続されてなり、該入出力端子は重ね合わされたチップ相互間で鏡像関係に配置されている、2) 前記重ね合わされたチップ間に絶縁膜22, 23を介してシールド用導電膜21を有する、3) 前記重ね合わされたチップ間に絶縁膜22を有し、且つ一方のチップはp型半導体基板を用い、他方のチップはn型半導体基板を用いて形成され、何れかの基板が電源電位または接地電位に接続されてなる。

本発明の原理説明図



【特許請求の範囲】

【請求項1】 回路が個々のチップに分離して各チップの表面に形成され、これらのチップが裏面どうし重ねられ、該重ね合わされたチップ(11)、(12)相互間で回路間接続を行う入出力端子がチップに開けられたスルーホール内に形成された接続用導電体(19)で接続されてなり、該入出力端子は該チップ相互間で鏡像関係に配置されていることを特徴とする半導体装置。

【請求項2】 前記重ね合わされたチップ(11)、(12)間に絶縁膜(22)、(23)を介してシールド用導電膜(21)を有することを特徴とする請求項1記載の半導体装置。

【請求項3】 前記重ね合わされたチップ(11)、(12)間に絶縁膜(22)を有し、且つ一方のチップはp型半導体基板を用い、他方のチップはn型半導体基板を用いて形成され、何れかの基板が電源電位または接地電位に接続されてなることを特徴とする請求項1記載の半導体装置。

【請求項4】 前記重ね合わされたチップは、アナログ回路が形成されたチップとデジタル回路が形成されたチップであることを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置に係り、とくに複数チップが搭載された半導体装置に関する。

【0002】 近年、半導体装置は多機能化と小型化が要求されている。そのため、同じ機能を有する半導体装置ならば、より小型化が望まれる。

【0003】

【従来の技術】 多機能化の例として、アナログ回路とデジタル回路が混載されたLSIのチップの平面図を図5に示す。

【0004】 図において、1はアナログ回路、2はデジタル回路、3はアナログ回路とデジタル回路間を接続する配線領域、4は入出力領域である。a～dはチップの長辺方向の各領域の長さを表す。この例では、チップの必要とする長さは $a + b + c + 2d$ となる。

【0005】 このように、アナログ回路とデジタル回路を同一チップ上に配置した場合、次のような欠点があった。

■ アナログ回路はデジタル回路に比しノイズに敏感であるため、回路間の干渉を低減するため両方の回路を離して配置する必要があるが、集積度の向上が難しい。

■ アナログ回路とデジタル回路間を接続する配線領域が必要である。

■ ノイズ低減のためアナログ回路とデジタル回路を極端に接近させることはできないため上記配線領域が大きくなる。

【0006】 従って、チップ面積が大きくなり、LSI自体が大きくなってしまっていた。そこで、回路を複数のチップに分割して形成し、これらを同一パッケージ内に

搭載する場合がある。

【0007】 図6(A)～(C)は従来例による複数チップ搭載の半導体装置の断面図である。図において、11は下層チップ、12は上層チップ、13はバンプ、14はインナリード、15はアウトリード、16はワイヤ、17は下層チップの配線、18は上層チップの配線、19は上下チップ間の接続用導電体(Via)、20は絶縁体からなるブッシュである。

【0008】 図6(A)は、SCP(Stacked Chips Package)技術と呼ばれるアセンブリ法であり、この方式では、上下のチップに共通するアウトリード15が1つであるのに対してインナリード14が2つ必要であり、また、個々のチップはもともと必要なリード配置領域をとっているため、両チップの回路間配線長がかなり長くなり信号遅延時間が大きくなっていた。

【0009】 図6(B)はチップオンチップ方式で下層チップ上にフリップチップ方式で上層チップを接続している。この方式では、チップの回路を形成している表面どうしを向かい合わせるため、ボンディング部の確認が困難である。また、一方のチップがアナログ回路であると、他方のチップから干渉を受けてノイズが増加する。そのため、チップ間にシールドを行えばよいが、チップ間接続および外部と入出力を行うため、その部分を避けてシールドする必要があるが、シールドは複雑な形状になる。

【0010】 図6(C)は下層チップの表面に上層チップの背面を貼りつけ、上層チップに孔を開けて両チップ間の配線接続を行っている。この方式では、下層チップの配線やパッド等が存在する表面側に上層チップが隙間無く載るため、ボンディング部の確認が困難である。また、上層チップと下層チップ間の接続がない配線でも外部接続を必要とする場合は、上層チップに引き出すため、その分上層チップの入出力用の配線領域が増え、チップ面積の削減にはならない。

【0011】

【発明が解決しようとする課題】 本発明は、複数チップ搭載の半導体装置において、チップサイズを低減し、チップを重ね合わせる際にチップ間接続を容易に且つ確実にしてデバイスの小型化と、チップ間の干渉によるノイズ障害発生を防止することを目的とする。

【0012】

【課題を解決するための手段】 上記課題の解決は、1) 回路が個々のチップに分離して各チップの表面に形成され、これらのチップが裏面どうし重ねられ、重ね合わされたチップ11、12相互間で回路間接続を行う入出力端子がチップに開けられたスルーホール内に形成された接続用導電体19で接続されてなり、該入出力端子は重ね合わされたチップ相互間で鏡像関係に配置されている半導体装置、あるいは2) 前記重ね合わされたチップ11、12間に絶縁膜22、23を介してシールド用導電膜21を有する前

記1)記載の半導体装置,あるいは3)前記重ね合わされたチップ11,12間に絶縁膜22を有し,且つ一方のチップはp型半導体基板を用い,他方のチップはn型半導体基板を用いて形成され,何れかの基板が電源電位または接地電位に接続されてなる前記1)記載の半導体装置,あるいは4)前記重ね合わされたチップは,アナログ回路が形成されたチップとデジタル回路が形成されたチップである前記1)記載の半導体装置により達成される。

【0013】

【作用】本発明では,アナログ回路とデジタル回路を別々のチップに形成し,且つ両方の回路の入出力端子の配置を鏡像関係にレイアウトして両チップを背面合わせに重ねたときに一致するようにし,入出力端子の近くに両チップを貫通するスルーホールを開けて回路間接続を行っている。

【0014】図1(A),(B)は本発明の原理説明図である。図において,1はアナログ回路,2はデジタル回路,11は下層チップ,12は上層チップ,17は下層チップの配線(パッドも含む),18は上層チップの配線(パッドも含む),19は回路間接続導体(Via),20は絶縁ブッシュ,21はシールド用導電膜,22,23は絶縁膜である。

【0015】この場合,チップの占有する長さは $a+2d$ となり,図5の1チップ構成の従来例と比べて $b+c$ だけ縮小されたことになる。上層チップと下層チップの配線領域 d の重なる領域で両チップの回路間接続をとり,また,この回路間接続は外部入出力端子を兼ねてもよい。

【0016】

【実施例】図2(A),(B)は本発明の実施例の説明図である。図2(A)において,11は下層チップ,12は上層チップ,13は金(Au)バンプ,14はインナリード,15はアウトリード(リードフレーム),17は下層チップの配線,18は上層チップの配線,19はハンダ等からなる回路間の接続用導電体(Via),20は絶縁ブッシュ,21はアルミニウム(Al)等からなるシールド用導電膜,22,23は絶縁膜,24は樹脂封止パッケージである。

【0017】この例では,外部導出にバンプを使っているが,ワイヤを用いてボンディングしてもよい。また,従来例のSCP技術〔図6(A)〕に比べてアナログ回路とデジタル回路間の配線長を短くでき,かつインナリードは1本でよい。さらに,チップオンチップ技術〔図6(B)〕に比べると,両チップの回路形成面が露出しているため,ボンディング部の亀裂や断線等の確認ができる。また,チップ間にシールドを行っているため,ノイズの誘起を防止できる。

【0018】図2(B)は,図2(A)に示される外部導出部(1)~(3)の斜視図である。ここで,外部導出部(1)はチップ間接続部を用いているが,チップ間接続部は外部に導出されなくてもよい。

【0019】図3はチップ間接続用Via部近傍の断面部である。シリコン基板11,12を開口したスルーホールの内面には,絶縁膜からなるブッシュ20が形成されている。スルーホールの断面は円でも四角でもよい。

05 【0020】図4(A)~(E)は本発明のシールド例の説明図である。図4(A)は,一方のチップ11にp型基板を用い,他方のチップ12にn型基板を用い,チップ間に絶縁膜22を挟んだ例で,n型基板には電源電圧 V_{DD} が印加され,p型基板は接地電位(GND)に接続される。この場合

10 合は特にシールド用の導電膜を必要としない。

【0021】図4(B)は一般的なチップ間シールド例でチップ間にアルミニウム(Al)等からなる導電膜21を挿入し,その両面に二酸化シリコン(SiO_2)膜やエポキシ系樹脂等の絶縁膜22,23を配置している。

15 【0022】図4(C)~(E)はシールド用導電膜と外部リードとの接続例を示す。図4(C)はシールド用導電膜21の表面を直に銅のインナリード14を介してアウトリード15に接続する方法であり,図4(D)はシールド用導電膜21をチップ12を貫通するVia19を通じてバンプ13とインナリード14を介してアウトリード15に接続する方法であり,図4(E)はシールド用導電膜21の側面よりワイヤ16を用いてアウトリード15に接続する方法である。

【0023】

【発明の効果】本発明によれば,複数チップ搭載の半導体装置において,チップサイズを低減し,チップを重ね合わせる際にチップ間接続を容易に且つ確実にしてデバイスの小型化が実現できた。また,チップ間の干渉によるノイズ障害発生を防止することができ,特にアナログ回路を含むデバイスの性能向上に寄与することができ

30 た。

【図面の簡単な説明】

【図1】 本発明の原理説明図

【図2】 本発明の実施例の説明図

【図3】 チップ間接続用Via部近傍の断面部

35 【図4】 本発明のシールド例の説明図

【図5】 アナログ回路とデジタル回路が混載されたLSIのチップの平面図

【図6】 従来例による複数チップ搭載の半導体装置の断面図

40 【符号の説明】

1 アナログ回路

2 デジタル回路

3 アナログ回路とデジタル回路間を接続する配線領域

45 4 入出力領域

11 下層チップ

12 上層チップ

13 バンプ

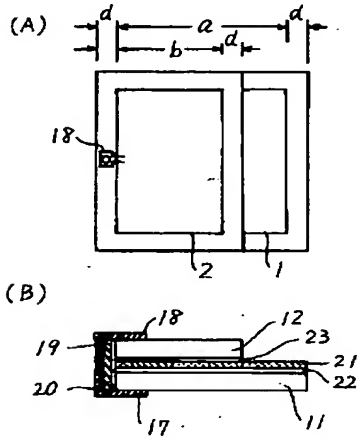
14 インナリード

50 15 アウトリード

- | | | | |
|----|----------|--------|--------------|
| 16 | ワイヤ | 19 | 回路間接続導体(Via) |
| 17 | 下層チップの配線 | 20 | 絶縁ブッシュ |
| 18 | 上層チップの配線 | 21 | シールド用導電膜 |
| 17 | 下層チップの配線 | 22, 23 | 絶縁膜 |
| 18 | 上層チップの配線 | 05 24 | 樹脂封止 |

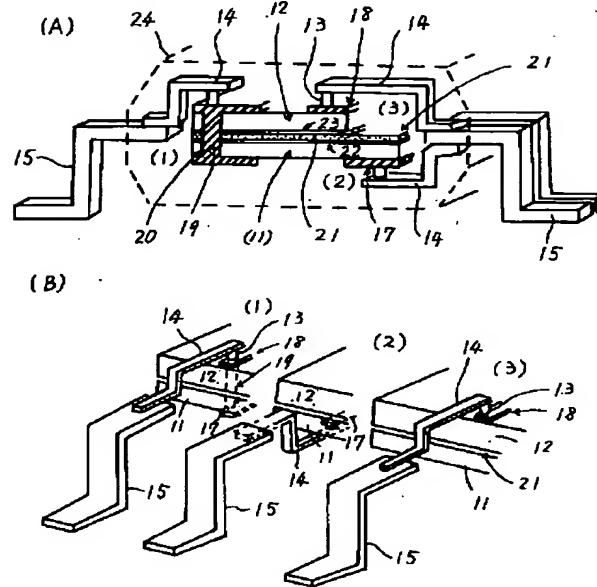
【図1】

本発明の原理説明図



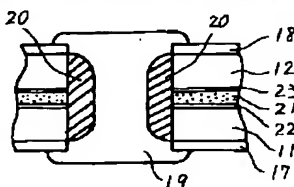
【図2】

本発明の実施例の説明図



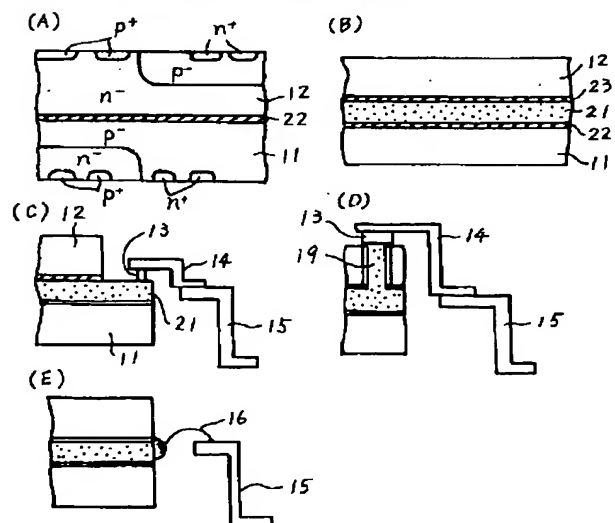
【図3】

チップ間接続用Via部近傍の断面図



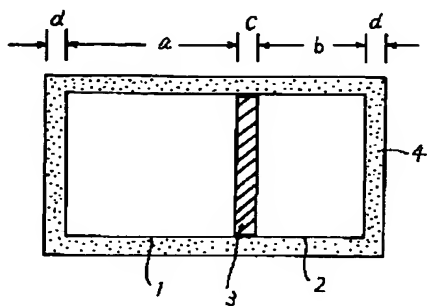
【図4】

本発明のシールド例の説明図



【図5】

アナログ回路とデジタル回路が混載されたLSIのチップの平面図



【図6】

従来例による複数チップ搭載の半導体装置の断面図

